



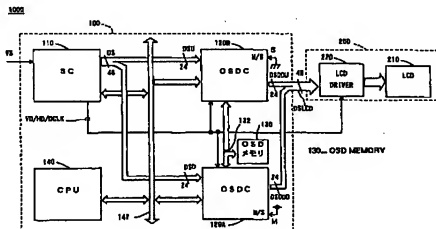
PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類7 G09G 5/00, G06T 1/00	A1	(11) 国際公開番号 WO00/70596
		(43) 国際公開日 2000年11月23日(23.11.00)
(21) 国際出願番号 PCT/JP00/03156		(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)
(22) 国際出願日 2000年5月17日(17.05.00)		添付公開書類 国際調査報告書
(30) 優先権データ 特願平11/135320 1999年5月17日(17.05.99)	JP	
(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)		
(72) 発明者; および (73) 発明者/出願人 (米国についてのみ) 長野 幹(NAGANO, Miki)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)		
(74) 代理人 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)		

(54)Title: IMAGE PROCESSOR AND IMAGE DISPLAY

(54)発明の名称 画像処理装置および画像表示装置



(57) Abstract

An image processor includes n (n is an integer of 2 or more) image processing units (120A, 120B) which receive n continuous pieces of image data at the same timing respectively and process the received n pieces of image data at the same timing, and a control unit (140) for controlling the n image processing units. Each of the image processing units can operate in a first operating mode in which the image processing unit can send/receive data to/from the control unit or in a second operating mode in which the image processing unit can only receive data from the control unit. One image processing unit (120A) operates in the first operating mode, and the $(n-1)$ image processing units (120B) operate in the second operating mode. The command from the control unit is given commonly to the n image processing units, and the n image processing units carry out the same processing at the same timing when a command from the control unit is given to the image processing operating in the first operating mode.

画像処理装置は n 個 (n は 2 以上の整数) の連続した画像データが同じタイミングでそれぞれ入力されるとともに、入力された各画像データをそれぞれ同じタイミングで処理する n 個の画像処理部 (120 A, B) と、前記 n 個の画像処理部を制御する制御部 (140) と、を備える。前記各画像処理部は、前記制御部との間でデータの送受信が可能な第 1 の動作モードまたは前記制御部からの受信のみが可能な第 2 の動作モードに設定可能であり、1 個の画像処理部 (120 A) は前記第 1 の動作モードに設定され、 $n-1$ 個の画像処理部 (120 B) は前記第 2 の動作モードに設定されている。さらに、前記制御部からの命令は前記 n 個の画像処理部に共通に与えられており、前記 n 個の画像処理部は、前記制御部から前記第 1 の動作モードに設定された 1 個の画像処理部に命令が与えられたときに、それぞれ同じタイミングで同じ処理を実行する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AG アンチグア・バーブーダ	DZ アルジェリア	LC セントルシア	SE スウェーデン
AL アルバニア	EE エストニア	LI リヒテンシュタイン	SG シンガポール
AM アルメニア	ES スペイン	LK スリ・ランカ	SI スロヴェニア
AO オーストラリア	FI フィンランド	LR リベリア	SK スロヴァキア
AU オーストラリア	FR フランス	LS レソト	SL シェラ・レオネ
AZ アゼルバイジャン	GA ガボン	LT リトアニア	SN セネガル
BA ボスニア・ヘルツェゴビナ	GB 英国	LU ルクセンブルグ	SZ スワジランド
BB バルバドス	GD グレナダ	LV ラトヴィア	TD チャド
BE ベルギー	GE ジルジア	MA モロッコ	TG トーゴ
BF ブルキナ・ファソ	GH ガーナ	MC モナコ	TJ タジキスタン
BG ブルガリア	GM ギンニア	MD モルドヴァ	TM トルクメニスタン
BJ ベナン	GN ギニア	MG マダガスカル	TR トルコ
BR ブラジル	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TT トリニダード・トバゴ
BS バルルース	GW ギニア・ビサウ		UA ウクライナ
CA カナダ	HR クロアチア	ML モリタニア	UG ウガンダ
CF 中央アフリカ	HU ハンガリー	MN モンゴリア	US 米国
CG コンゴ	ID インドネシア	MR モリタニア	UZ ウズベキスタン
CH スイス	IE アイルランド	MW マラウイ	VN ヴェトナム
CI コートジボアール	IL イスラエル	MX メキシコ	YU ニュースラヴィア
CM カメルーン	IN インド	MZ モザンビーク	ZA 南アフリカ共和国
CN 中国	IS アイスランド	NE ニジェール	ZW ジンバブエ
CR コスタ・リカ	IT イタリア	NL ノルウェー	
CU キューバ	JP 日本	NO ノルウェー	
CY キプロス	KE ケニア	NZ ニュージーランド	
CZ チェコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KF 北極圏	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

明 細 書

画像処理装置および画像表示装置

5

技術分野

本発明は、画像処理装置及びこれを用いた画像表示装置に関する。

背景技術

10

画像を表す画像信号を扱う種々の電子機器が開発されている。このような電子機器としては、例えば、直視型の表示装置や投写型表示装置等がある。これらの電子機器は、通常、それぞれ異なった機能を司る複数の画像処理部を組み合わせることにより構成されている。

15

これらの電子機器で扱われる画像の高解像度化に伴って、電子機器を構成する各画像処理部に要求される処理速度が高速化しており、これに対応するためには、各画像処理部の処理速度の高速化を図ることが好ましい。画像処理部の処理速度の高速化を図る手法として、1画素毎に順に処理される画像データを、複数画素ごとにまとめて並列に処理する手法がとられている。

20

しかし、利用する画像処理部によっては、複数画素の画像データを並列に処理する機能を有しないものもある。このような場合には、通常、複数の同一機能を有する画像処理部を並列に設けて、各画像処理部が1画素の画像データを同じタイミングで処理することにより複数画素の画像データを並列に処理することが行われている。

発明の開示

25

並列に設けられた上述の複数の画像処理部は、通常、ほぼ同じ処理条件で動作するように設定されるにも関わらず、各画像処理部ごとにその処理条件を設定する必要がある。このため、複数の画像処理部を並列に設ける場合には、並列に画像処理部を設けない場合に比べて、装置の処理条件の設定処理が煩雑であるという問題があった。

この発明は、上述の課題を解決するためになされたものであり、同一機能を有する複数の画像処理部を並列に有する場合においても、1つの制御装置が1つの画像処理部の処理を制御することにより、他の画像処理部の処理も同時に制御することが可能な技術を提供することを目的とする。

- 5 上述の課題の少なくとも一部を解決するため、本発明の画像処理装置は、
n個（nは2以上の整数）の連続した画素データが同じタイミングでそれぞれ入力されるとともに、入力された各画素データをそれぞれ同じタイミングで処理するn個の画像処理部と、

前記n個の画像処理部を制御する制御部と、を備え、

- 10 前記各画像処理部は、前記制御部との間でデータの送受信が可能な第1の動作モードまたは前記制御部からの受信のみが可能な第2の動作モードに設定可能であり、1個の画像処理部は前記第1の動作モードに設定され、n-1個の画像処理部は前記第2の動作モードに設定されており、

前記制御部からの命令は前記n個の画像処理部に共通に与えられており、

- 15 前記n個の画像処理部は、前記制御部から前記第1の動作モードに設定された1個の画像処理部に命令が与えられたときに、それぞれ同じタイミングで同じ処理を実行することを特徴とする。

- 本発明の画像処理装置は、制御装置から第1の動作モードに設定された画像処理部に命令が与えられたときに、第2の動作モードに設定された他の画像処理部
20 にも命令が与えられており、それぞれ同じタイミングで同じ処理を実行することができる。すなわち、各画像処理部はそれぞれ同一機能を有する複数の画像処理部を並列に有する場合においても、1つの制御部が1つの画像処理部の処理を制御することにより、他の画像処理部の処理を同時に制御することができる。

上記画像処理装置において、

- 25 前記n個の画像処理部は、前記制御部が制御可能なアドレス空間上の同じアドレス空間に割り当てられていることが好ましい。

このようにすれば、制御装置が第1の動作モードに設定された画像処理部に命令を与えたときに、第2の動作モードに設定された他の画像処理部にも命令を与えることができる。

なお、上記画像処理装置において、

前記各画像処理装置は、それぞれ前記第1の動作モードと前記第2の動作モードとのいずれか一方を設定するモード設定端子を備え、それぞれの前記モード設定端子に入力されるモード設定信号に応じてそれぞれの動作モードを設定することができる。

上記画像処理装置において、

前記各画像処理部において共通に利用される画像処理データを記憶するためのメモリを備え、

前記第1の動作モードに設定された画像処理部は、前記制御部から供給される前記画像処理データを前記メモリに書き込み可能であるとともに、前記メモリに書き込まれた前記画像処理データを読み出し可能であり、

前記第2の動作モードに設定された画像処理部は、前記第1の動作モードに設定された画像処理部によって前記メモリから読み出された画像処理データを入力可能であるようにしてもよい。

この場合には、第1の動作モードに設定された画像処理部によって、メモリに画像処理データが書き込まれ、すべての画像処理部は、第1の動作モードに設定された画像処理部によってメモリから読み出された画像処理データを共通に入力可能である。

なお、前記画像処理装置と、前記画像処理装置から出力される画像信号によって表される画像を表示する画像表示部と、を備えることにより、画像表示装置を構成することができる。

図面の簡単な説明

図1は、この発明の第1実施例としての画像処理装置を適用した画像表示装置の概略構成を示すブロック図である。

図2は、第1と第2のOSDC120A、120Bの処理について示す説明図である。

図3は、第1のOSDC120Aの内部構成を示す概略ブロック図である。

図4は、第2のOSDC120Bの内部構成を示す概略ブロック図である。

図5は、第1と第2のOSDC120A、120Bと、CPU140との間の動作を示す説明図である。

図6は、CPU140のI/Oアドレス空間およびメモリ空間を示す説明図である。

5 図7は、第1と第2のOSDC120A、120Bにおいて生成されたOSD画像を表示する場合の動作を示す説明図である。

図8は、この発明の第2実施例としての画像処理装置を適用した画像表示装置の概略構成を示すブロック図である。

10 発明を実施するための最良の形態

A. 第1実施例：

図1は、この発明の第1実施例としての画像処理装置を適用した画像表示装置の概略構成を示すブロック図である。この画像表示装置1000は、画像処理装置100と、画像表示部200とを備えている。画像処理装置100は、スキャンコンバータ（以下、単に「SC」と呼ぶ）110と、2つのオンスクリーンディスプレイコントローラ（以下、単に「OSDC」と呼ぶ）120A、120Bと、OSDメモリ130と、CPU140とを備えるコンピュータシステムである。画像表示部200は、液晶パネル210と、パネル駆動部220とを備えている。画像処理装置100は、液晶パネル210に形成される画像を処理するための装置である。なお、パネル駆動部220は、画像処理装置100内に設けられるようにしてもよい。

CPU140は、CPUバス142を介してSC110と、2つのOSDC120A、120Bに接続されている。CPU160は、各部の処理条件を設定し、また、各部の処理を直接制御する。OSDメモリ130は、メモリバス132を介して2つのOSDC120A、120Bに接続されている。

SC110は、画像表示部200で画像を表示するために利用される垂直同期信号VDと、水平同期信号HDと、クロック信号DCLKとを出力する。また、入力画像信号VSを画像表示部200に入力可能な画像信号DSとして出力する。この画像信号DSとして出力される画像データは48ビットのデータ幅を有し

ており、1画素あたり24ビットの画像データが連続した2画素分同時に出力される。なお、1画素の画像データは、赤、緑、青の各色毎に8ビットの色データで構成されている。下位24ビット分の画像信号DSDは、第1のOSDC120Aに入力され、上位24ビット分の画像信号DSUは、第2のOSDC120Bに入力される。以下では、画像信号DSに含まれる画像データを、説明の便宜上画像データDSと呼ぶ場合もある。なお、下位24ビット分の画像データDSDは、奇数画素の画像データに対応し、上位24ビット分の画像データDSUは、偶数画素の画像データに対応している。但し、この逆であってもよい。

第1と第2のOSDC120A、120Bは、画像表示部200で表示される画像中にポイント画像のような修飾画像やメニュー画面などを表示させる機能を有する画像処理部である。これらのOSDC120A、120Bが本発明の画像処理部に相当する。OSDメモリ130には、ポイント画像の画像データやメニュー画面を構成するグラフィックデータやフォントデータなどの画像データが所定のフォーマットで記憶されている。

図2は、第1と第2のOSDC120A、120Bの処理について示す説明図である。第1のOSD120Aは、垂直同期信号VDと、水平同期信号HDと、クロック信号DCLKとに同期して、OSDメモリ130から読み出された画像データをビットマップデータに展開して、図2(B)に示すようなOSD画像データDODを生成する。そして、生成されたOSD画像データDODを図2(A)に示す画像データDSに含まれる奇数画素の画像データDSDに合成することにより奇数画素の合成画像データDSODDを出力する。

第2のOSD120Bも、垂直同期信号VDと、水平同期信号HDと、クロック信号DCLKとに同期して、第1のOSDC120Aと同じタイミングで同様に動作する。すなわち、OSDメモリ130から読み出された画像データをビットマップデータに展開して、図2(B)に示すようなOSD画像データDODを生成する。そして、生成されたOSD画像データDODを図2(A)に示す画像データDSに含まれる偶数画素の画像データDSUに合成することにより偶数画素の合成画像データDSODUを出力する。

第1と第2のOSDC120A、120Bから同じタイミングで出力されたそ

れぞれ24ビットの合成画像データDSODD、DSODUは48ビットの表示画像データDSLCDとして図1のパネル駆動部220に供給される。また、SC110から出力された垂直同期信号VDと、水平同期信号HDと、クロック信号DCLKもパネル駆動部220に供給されている。液晶パネル210には、この表示画像データDSLCDに応じた画像が形成される。これにより、図2(C)に示すように、表示位置P0にOSD画像が合成表示される。

以上のように、この画像表示装置1000は、入力画像信号VSの表す画像を表示することができる。また、第1と第2のOSDC120によって生成されたメニュー画面や修飾画像等のOSD画像を入力画像に合成して表示することができる。

図3は、第1のOSDC120Aの内部構成を示す概略ブロック図である。第1のOSDC120Aは、合成制御部310と、合成部320と、OSD画像生成部330と、メモリ制御部340と、CPU I/F部350と、メモリ I/F部360と、モード制御部370とを備えている。CPU I/F部350は、CPUバス142(図1)のCPUアドレスバスADRとCPUデータバスDTAとCPUコントロールバスCTLに接続されている。メモリ I/F部360は、OSDメモリ130(図1)のメモリバス132であるメモリアドレスバスMADRとメモリデータバスMDTAとメモリコントロールバスMCTLに接続されている。

モード制御部370のマスタ/スレーブ設定端子M/Sは、Hレベルに設定されており、これによって、第1のOSDC120Aの動作モードがマスタモードに設定されている。モード制御部370は、マスタモードに対応したモード制御信号MSCを出力し、CPU I/F部350およびメモリ I/F部360の入出力条件を制御する。

動作モードがマスタモードに設定されている場合には、CPU I/F部350は、図3に示すように、データバスDTAに対してデータの入出力が可能となるように制御される。また、メモリ I/F部360は、メモリアドレスバスMADRおよびメモリコントロールバスMCTLにアドレスデータおよびコントロールデータを出力することができ、OSDメモリ130の読み出しや書き込みを行うこと

ができるように制御される。

合成制御部310には、CPU140からOSD画像の表示位置P0（図2参照）を示す合成制御データがCPU I/F350を介して設定される。また、垂直同期信号VDと水平同期信号HDとクロック信号DCLKが入力されている。

- 5 合成制御部310は、設定された合成制御データや同期信号HD、VD、クロック信号DCLKに従って、メモリ制御部340と、OSD画像生成部330と、合成部320の動作を制御する。

- メモリ制御部340は、CPU140からの要求に従って、OSDメモリ130の書き込みや読み出しをメモリI/F部360を介して制御する。また、合成
10 制御部310から出力される制御信号に従って、OSD画像生成部330がOSD画像データDODを生成する際に利用される画像処理データのOSDメモリ130からの読み出しをメモリI/F部360を介して制御する。

- OSD画像生成部330は、メモリ制御部340によってOSDメモリ130から読み出された画像処理データに従って24ビットのOSD画像データDOD
15 を出力する。

合成部320は、SC110から出力された奇数画素の画像データDSDとOSD画像データDODを合成して奇数画素の合成画像データDSODDを出力する。

- 図4は、第2のOSDC120Bの内部構成を示す概略ブロック図である。第
20 2のOSDC120Bは、モード制御部370のマスタ/スレーブ設定端子M/SがLレベルに設定されて、動作モードがスレーブモードに設定されている点を除いて、第1のOSDC120Aと同じである。

- 動作モードがスレーブモードに設定されている場合には、CPU I/F350は、図4に示すように、データバスDTAへのデータの出力が禁止され、データ
25 の入力しかできないように制御される。また、メモリI/F370は、メモリアドレスバスMADRと、メモリデータバスMDTAと、メモリコントロールバスMCTLへの各データの出力が禁止されるように制御される。但し、メモリ制御部340は、後述するように、第1のOSDC120Aのメモリ制御部340と同じ制御データが設定されるので、マスターモードと同じタイミングで動作して

いる。従って、スレーブモードで動作する第2のOSDC120Bは、マスタモードで動作する第1のOSDC120AによってOSDメモリ130から読み出された画像処理データを同時に取り込むことができる。

- 図5は、第1と第2のOSDC120A、120Bと、CPU140との間の動作を示す説明図である。また、図6は、CPU140のI/Oアドレス空間およびメモリ空間を示す説明図である。図6(A)に示すように、CPU140のI/Oアドレス空間には、1つのOSDCに対するアドレス空間しか割り当てられておらず、2つのOSDC120A、120Bには同一のI/Oアドレスが割り当てられている。ところで、上述したように、第1と第2のOSDC120A、120Bは、動作モードは異なるが内部の機能は全く同じである。従って、CPU140が第1のOSDC120Aに対してデータの入力(書き込み)を要求した場合には、図5(A)に示すように、CPU140から、CPUバス142(CPUアドレスバスADR、CPUデータバスDTA、CPUコントロールバスCTL)を介して、第1のOSDC120Aにデータが入力されるとともに、第2のOSDC120Bにも同時に同じデータが入力される。

- CPU140が第1のOSDC120Aに対してOSDメモリ130への画像処理データの書き込みを要求した場合にも、第1と第2のOSDC120A、120Bの両方に、そのデータが入力される。しかし、上述したように、スレーブモードに設定された第2のOSDC120BはOSDメモリ130へのデータの出力が禁止されているので、OSDメモリ130への書き込みは、マスタモードに設定されている第1のOSDC120Aによってのみ実行される。

- 一方、CPU140が第1のOSDC120Aに対してデータの出力(読み出し)を要求した場合には、上述したように、スレーブモードに設定された第2のOSDC120BはCPU140へのデータの出力が禁止されているので、図5(B)に示すように、マスタモードに設定されている第1のOSDC120Aからのみデータが出力される。また、CPU140がOSDメモリ130に書き込まれている画像処理データの読み出しを要求した場合には、上述したように、第1と第2のOSDC120A、120BのどちらにもOSDメモリ130から読み出された画像処理データが入力され得るが、同様に、CPU140へのデータ

の出力は、第1のOSDC120Aによってのみ実行される。なお、この場合に、スレープモードに設定された第2のOSDC120Bのメモリ制御部340の動作を停止するようにすることも可能である。

図7は、第1と第2のOSDC120A, 120Bにおいて生成されたOSD
5 画像を表示する場合の動作を示す説明図である。OSD画像を表示場合には、第1のOSDC120Aでは、OSDメモリ130から読み出された画像処理データに基づいてOSD画像生成部330によって生成されたOSD画像データDODと、奇数画素の画像データDSDとが、合成部320において合成される(図3)。従って、第1のOSDC120Aからは、奇数画素の合成画像データ
10 DSODDが出力される。一方、第2のOSDC120Bにおいては、第1のOSDC120Aによって読み出された画像データが同時に取り込まれて、第1のOSDC120Aと同様にして偶数画素の合成画像データDSODUが出力される。以上の結果、SC110から出力された画像データDSは、第1と第2のOSDC120A, 120Bにおいて、奇数画素および偶数画素ごとに同じタイミングでOSD画像データDODが合成される。これにより、連続した2画素の画像データが並列に処理されて表示画像データDSLCDとして出力される。

以上のように、第1と第2のOSDC120A, 120Bは、それぞれマスタモードとスレープモードのいずれか一方で動作させることが可能である。このとき、CPU140がマスタモードに設定された第1のOSDC120Aに対して
20 データの入出力を要求することにより、スレープモードに設定された第2のOSDC120Bに対しても同じデータを出力することができる。すなわち、CPU140は、同じタイミングで動作する2つのOSDC120A, 120Bのうち、マスタモードで動作する第1のOSDC120Aを制御することにより、スレープモードで動作する第2のOSDC120Bも同時に制御することができる。

25 ここで、OSD画像生成部330で生成されるOSD画像データは、以下に示すように生成されることが好ましい。本実施例の画像表示装置1000では、図2(A)に示す画像を表す画像データDSのうち、奇数画素の画像データDSDを第1のOSDC120Aにおいて図2(B)に示すOSD画像データDODと合成するとともに、偶数画素の画像データDSUを第2のOSDC120Bにお

いてOSD画像データDODと合成することにより、図2(C)に示す画像を表す表示画像データDSLCDを生成している。すなわち、第1と第2のOSDC120A、120Bにおいて同じタイミングで合成されるOSD画像データDODは、同じデータである。このため、図2(C)の破線で囲まれた領域内に示す
5 ような水平方向にm画素を有するOSD画像を表示するためには、奇数画素および偶数画素の画像データに合成されるOSD画像データは、図2(B)に示すように、水平方向に $m/2$ 画素を有するデータとすることが好ましい。

なお、上記画像表示装置1000においては、マスタモードに設定されている第1のOSDC120AによってOSDメモリ130の読み出しおよび書き込みが制御され、スレーブモードに設定されている第2のOSDC120Bでは、第1のOSDC120Aによって読み出されたデータを利用することのみが許可されることにより、OSDメモリ130の共用化が図られている。しかしながら、第1と第2のOSDC120A、120BそれぞれにOSDメモリ130を備えるようにしてもよい。この場合には、第2のOSDC120BのメモリI/F部
10 360のスレーブモードにおける制御を解除して、メモリ制御部340によって第2のOSDC120Bに接続されているOSDメモリ130の書き込みおよび読み出しを制御するようにすればよい。それぞれのOSDメモリ130には、第1と第2のOSDC120A、120Bによってそれぞれ同じタイミングでデータの読み出しと書き込みが実行される。

20 B. 第2実施例：

図8は、この発明の第2実施例としての画像処理装置を適用した画像表示装置の概略構成を示すブロック図である。この画像表示装置2000は、画像処理装置100Aと、画像表示部200とを備えている。画像処理装置100Aは、3つのOSDC120A、120B、120Cを備えている。SC110Aは、連続した3画素分の画像データが含まれる72ビットの画像データDSを出力し、
25 出力された各画素データは、3つのOSDC120A、120B、120Cに1画素毎に入力される。

第1のOSDC120Aはマスタモードに設定され、第2と第3のOSDC120B、120Cがスレーブモードに設定されている。これにより、第2実施例

においても、CPU 140がマスタモードに設定された第1のOSDC 120A
に対してデータの入出力を要求することにより、スレーブモードに設定された第
2と第3のOSDC 120B, 120Cに対しても同じデータを出力することが
できる。すなわち、CPU 140は、同じタイミングで動作する3つのOSDC
5 120A, 120B, 120Cのうち、マスタモードで動作する第1のOSDC
120Aを制御することにより、スレーブモードで動作する第2と第3のOSD
C 120B, 120Cも同時に制御することができる。

なお、この場合に、3つのOSDC 120A, 120B, 120Cでそれぞれ
合成されるOSD画像データとしては、表示される画像データの水平方向がm画
10 素であるならば、水平方向が $m/3$ 画素の画像データであることが好ましい。

以上の説明から理解できるように、一般には、n個のオンスクリーンディス
プレイコントローラを並列に備え、1個のオンスクリーンディスプレイコント
ローラをマスタモードに設定し、 $n-1$ 個のオンスクリーンディスプレイコント
ローラをスレーブモードに設定するようにしてもよい。

15 なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨
を逸脱しない範囲において種々の態様において実施することが可能であり、例え
ば次のような変形も可能である。

(1) 上記実施例では、画像表示部200に、液晶パネル210を用いた場合に
例に説明しているが、これに限定されるものではなく、プラズマディスプレイや
20 CRT等の種々のディスプレイデバイスを備える場合にも適用可能である。

(2) 上記実施例では、直視型の画像表示部200を例に説明しているが、画像
を投写するための投写光学系を設けて、投写型表示装置とすることもできる。

(3) 上記実施例では、オンスクリーンディスプレイコントローラを複数並列に
備える場合を例に説明しているが、本発明はこれに限定されるものではない。例
25 えば、画像の拡大/縮小処理部や色信号レベル補正部等の画像信号に種々の処理
を行う種々の画像処理部を複数並列に備える場合にも適用可能である。また、上
記実施例では、画像表示装置に適用された画像処理装置を例に説明しているが、
これに限定されるものではなく、種々の画像を扱う電子機器に備える種々の画像
処理装置に適用可能である。

産業上の利用可能性

本発明は、画像処理装置及びこれを用いた画像表示装置に利用可能である。

請求の範囲

1. 画像処理装置であって、

n個（nは2以上の整数）の連続した画素データが同じタイミングでそれぞれ
5 入力されるとともに、入力された各画素データをそれぞれ同じタイミングで処理
するn個の画像処理部と、

前記n個の画像処理部を制御する制御部と、を備え、

前記各画像処理部は、前記制御部との間でデータの送受信が可能な第1の動作
モードまたは前記制御部からの受信のみが可能な第2の動作モードに設定可能で
10 あり、1個の画像処理部は前記第1の動作モードに設定され、n-1個の画像処
理部は前記第2の動作モードに設定されており、

前記制御部からの命令は前記n個の画像処理部に共通に与えられており、

前記n個の画像処理部は、前記制御部から前記第1の動作モードに設定された
1個の画像処理部に命令が与えられたときに、それぞれ同じタイミングで同じ処
15 理を実行する、画像処理装置。

2. 請求項1記載の画像処理装置であって、

前記n個の画像処理部は、前記制御部が制御可能なアドレス空間上の同じアド
レス空間に割り当てられている、画像処理装置。

20

3. 請求項1または請求項2記載の画像処理装置であって、

前記各画像処理装置は、それぞれ前記第1の動作モードと前記第2の動作モー
ドとのいずれか一方を設定するモード設定端子を備え、それぞれの前記モード設
定端子に入力されるモード設定信号に応じてそれぞれの動作モードが設定される

25 、画像処理装置。

4. 請求項1ないし請求項3のいずれかに記載の画像処理装置であって、

前記各画像処理部において共通に利用される画像処理データを記憶するための
メモリを備え、

前記第 1 の動作モードに設定された画像処理部は、前記制御部から供給される前記画像処理データを前記メモリに書き込み可能であるとともに、前記メモリに書き込まれた前記画像処理データを読み出し可能であり、

- 5 前記第 2 の動作モードに設定された画像処理部は、前記第 1 の動作モードに設定された画像処理部によって前記メモリから読み出された画像処理データを入力可能である、画像処理装置。

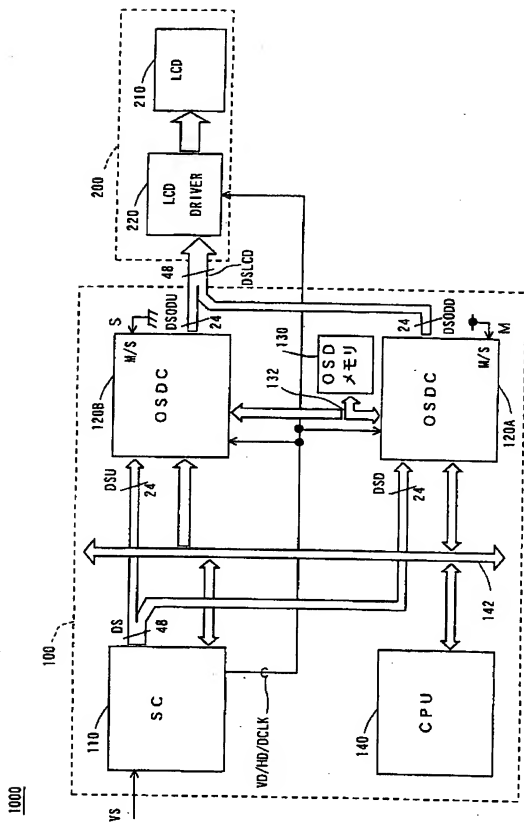
5. 画像表示装置であって、

請求項 1 ないし請求項 4 記載の画像処理装置と、

- 10 前記画像処理装置から出力される画像信号によって表される画像を表示する画像表示部と、を備える、画像表示装置。

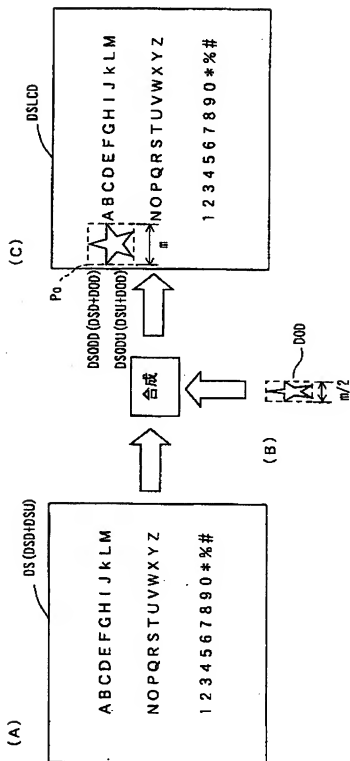
1 / 7

図 1



2/7

図 2



3 / 7

図 3

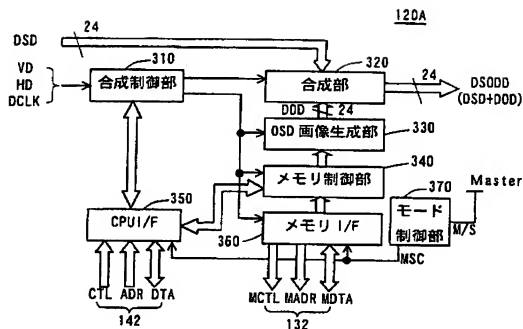
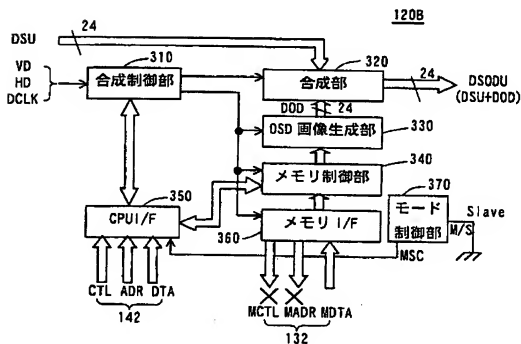


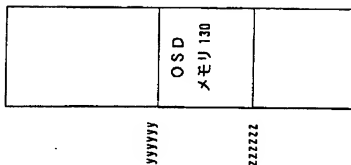
図 4



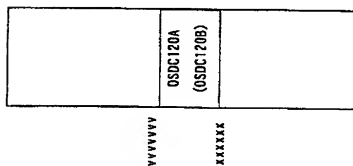
5 / 7

図 6

(B) メモリ空間

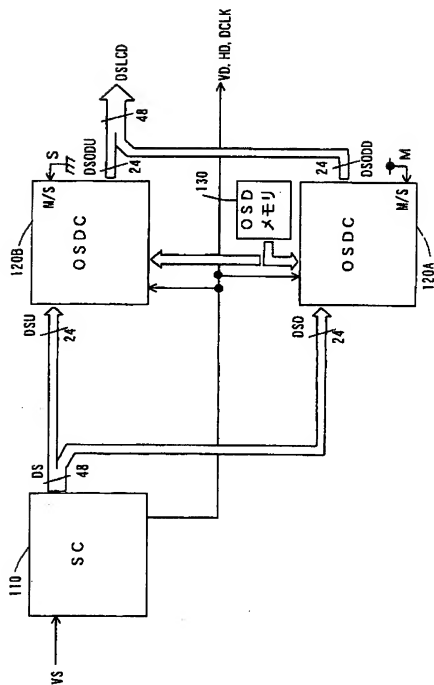


(A) I/O空間



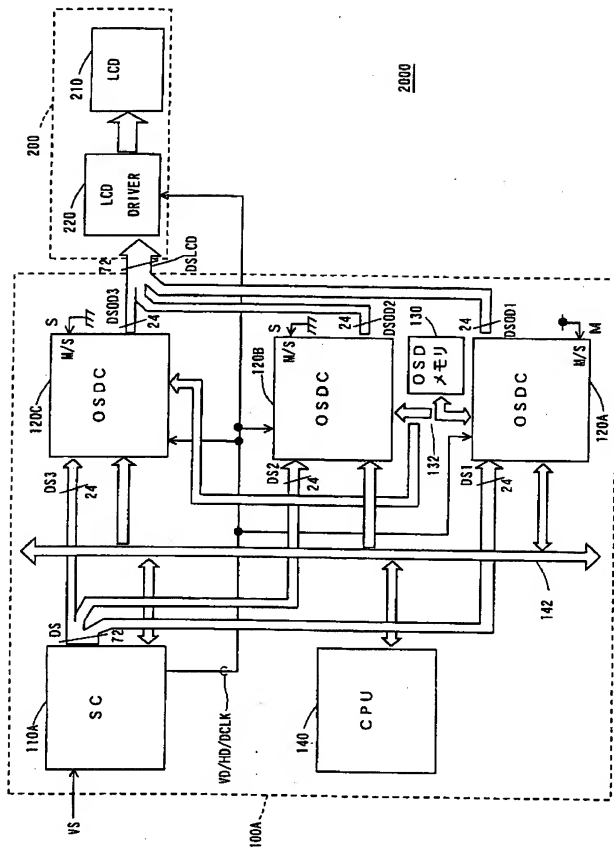
6/7

7



7/7

图 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03156

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G09G 5/00
G06T 1/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G09G 5/00
G06T 1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 3-48979, A (NEC Corporation), 01 March, 1991 (01.03.91), Full text; Figs. 1 to 7 (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "Z" document member of the same patent family

Date of the actual completion of the international search
08 August, 2000 (08.08.00)Date of mailing of the international search report
22 August, 2000 (22.08.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

IntCl¹ G09G 5/00
G06T 1/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

IntCl¹ G09G 5/00
G06T 1/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996
日本国公開実用新案公報 1971-2000
日本国登録実用新案公報 1994-2000
日本国実用新案登録公報 1996-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 3-48979, A (日本電気株式会社) 1. 3月. 1991 (01. 03. 91), 全頁, 第1-7図 (ファミリーなし)	1-5

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

- 「A」 特に関連のある文献ではなく、一般的技术水準を示すもの
「E」 国際出願日以前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日以前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

08. 08. 00

国際調査報告の発送日

22.08.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小松 徹三



2G 8326

電話番号 03-3581-1101 内線 3226